

**Shift register apparatus with improved clock supply**

Patent Number: ☐ US5128974  
Publication date: 1992-07-07  
Inventor(s): MAEKAWA TOSHIKAZU (JP)  
Applicant(s):: SONY CORP (JP)  
Requested Patent: ☒ JP3147598  
Application Number: US19900604446 19901029  
Priority Number(s): JP19890284691 19891102  
IPC Classification: G11C11/40 ; G11C19/28 ; H03K23/44

**Abstract**

A shift register apparatus comprising unit registers, clocks and gates. Only when data input to the apparatus is significant enough to shift the state of the unit registers, is the clock signal supplied selectively to the unit register of the applicable stage. The selective supplying of the clock signal reduces the power fed to clock lines. With a larger number of shift stages, a greater amount of power will be saved, especially in applications where the apparatus is used to generate multiphase pulses. Fewer drivers are needed to drive the clock signal, which may be supplied at the TTL level.

-----  
Data supplied from the esp@cenet database - 12



**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A) 平3-147598

⑤ Int.Cl.<sup>3</sup>  
G 11 C 19/00識別記号 庁内整理番号  
K 7131-5B

⑬ 公開 平成3年(1991)6月24日

審査請求 未請求 請求項の数 5 (全10頁)

⑭ 発明の名称 シフトレジスタ

⑮ 特 願 平1-284691

⑯ 出 願 平1(1989)11月2日

⑰ 発 明 者 前 川 敏 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑲ 代 理 人 弁理士 脇 篤 夫

## 明 細 書

## 1. 発明の名称

シフトレジスタ

## 2. 特許請求の範囲

(1) 第1、および第2のクロックドインバータと第3のインバータから構成され、2相のクロック信号によって駆動されるユニットレジスタ回路を継続接続したシフトレジスタにおいて、前記各段のユニットレジスタ回路の入力及び出力データが有意であるか否かを検出し、データが有意であることが検出された段のユニットレジスタ回路にのみ前記2相クロックを供給する1対のスイッチング手段が設けられていることを特徴とするシフトレジスタ

(2) ユニットレジスタ回路を構成している第1のクロックドインバータに、ブルアップ手段及びブルダウン手段を設け、クロックドインバータがフローティング状態にならないようにしたことを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

(3) スwitchング手段にユニットレジスタ回路の入力及び出力データの論理和をとる回路を含むことを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

(4) 1対のスイッチング手段のそれぞれがユニットレジスタ回路の入力、出力データ、及びその反転出力データによって直接開閉される同一導電型のスイッチング手段で構成されていることを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

(5) 1対のスイッチング手段のそれぞれがユニットレジスタ回路の入力、出力データ、及びその反転出力データによって直接開閉される第1の導電型トランジスタと、第2の導電型トランジスタの並列接続によって構成されていることを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

## 3. 発明の詳細な説明

[産業上の利用分野]

この発明は、特にC-MOSを用いたシフトレジスタ回路において、消費電力を低減したシフトレジスタに関するものである。

#### [発明の概要]

本発明のシフトレジスタは、第1のクロックドインバータと、第2のクロックドインバータおよび第3のインバータからなるユニットレジスタを継続接続したものにおいて、各ユニットレジスタにスイッチング手段を設け、各ユニットレジスタの入力および出力データが有意のデータであるときは前記スイッチング手段によって当該ユニットレジスタのみにクロック信号が供給されるようにしたものである。

そのためクロックラインに供給されるクロック信号の消費電力を大幅に低減することが可能になり、低消費電力型のシフトレジスタとすることができる。

#### [従来の技術]

り、次のタイミングでクロックVCKが立ち上がり、相補クロックVCLKが立ち下がると、第1のクロックドインバータINV<sub>1</sub>の出力がLレベルに立ち下がり、この出力は第3のインバータINV<sub>3</sub>にされる。

従って、1段目ユニットレジスタSR<sub>1</sub>の出力Φ<sub>1</sub>、すなわち、第3のインバータINV<sub>3</sub>の出力は、入力信号V<sub>(START)</sub>と同じHレベルとなる。

第3のインバータINV<sub>3</sub>の出力は第2のクロックドインバータINV<sub>2</sub>の入力にも加えられ、クロックVCLKが反転すると、第2のクロックドインバータINV<sub>2</sub>が動作して、第3のインバータINV<sub>3</sub>とで出力信号Φ<sub>1</sub>をラッチする。

このとき、2段目のユニットレジスタSR<sub>2</sub>は1段目のユニットレジスタSR<sub>1</sub>の出力Φ<sub>1</sub>を読み込み、その出力Φ<sub>2</sub>がHレベルになる。

再びクロックVCLKが立ち上がると、既に立ち下がっている入力信号V<sub>(START)</sub>を読み込み、その出力Φ<sub>1</sub>はLレベルになる。

従来のC-MOS (Complemental Metal Oxide Semiconductor) を用いたシフトレジスタを第9図に示す。

第9図において、Q<sub>P1</sub>~Q<sub>Pn</sub>はP型の電界効果トランジスタ(以下、FETという)であり、Q<sub>N1</sub>~Q<sub>Nn</sub>はN型のFETである。

シフトレジスタの各段SR<sub>1</sub>, SR<sub>2</sub>, … (SR<sub>n</sub>以下は省略する)は、FET Q<sub>P1</sub>, Q<sub>P2</sub>及びFET Q<sub>N1</sub>, Q<sub>N2</sub>からなる第1のクロックドインバータINV<sub>1</sub>と、このクロックドインバータINV<sub>1</sub>の出力をラッチする第2のクロックドインバータINV<sub>2</sub>と、第3のインバータINV<sub>3</sub>から構成される。なお、第2のクロックドインバータINV<sub>2</sub>はFET Q<sub>P3</sub>, Q<sub>P4</sub>とFET Q<sub>N3</sub>, Q<sub>N4</sub>からなり、第3のインバータINV<sub>3</sub>はFET Q<sub>P5</sub>とFET Q<sub>N5</sub>からなっている。

次に、このシフトレジスタの動作を第10図を参照して説明する。

ユニットレジスタSR<sub>1</sub>に供給されている入力信号V<sub>(START)</sub>が第10図に示すように立ち上が

以下、同様の動作で3段目、4段目のユニットレジスタSR<sub>3</sub>, SR<sub>4</sub>に信号V<sub>(START)</sub>が転送され、出力Φ<sub>3</sub>, Φ<sub>4</sub>, …が得られる。

このようなシフトレジスタは、液晶ディスプレイのようなデバイスの信号をサンプリングするときによく用いられる。

#### [発明が解決しようとする問題点]

ところで、このような従来のシフトレジスタでは、クロックVCLK, VCLKのラインに複数段のユニットレジスタSR<sub>1</sub>~SR<sub>n</sub>が負荷されるため、かなり大きな容量が負荷される。

各ユニットレジスタSRの容量は第11図に示すように、クロックVCLKのラインには、FET Q<sub>P3</sub>とFET Q<sub>N3</sub>のゲート容量の和であるC(Q<sub>P3</sub>+Q<sub>N3</sub>)が付加され、クロックVCLKのラインには、FET Q<sub>P1</sub>とFET Q<sub>N4</sub>のゲート容量の和であるC(Q<sub>P1</sub>+Q<sub>N4</sub>)が付加される。

この容量Cは、例えばMOSトランジスタのゲ

ートサイズが  $L = 7\mu\text{m}$  ,  $W = 50\mu\text{m}$  , ゲート層が  $500\text{\AA}$  とすると、 $0.49\text{PF}$  となり、シフトレジスタの段数を仮に 400 段とすると、各クロックラインの容量は約  $200\text{PF}$  の大きさとなる。

クロック信号の出力振幅を  $A = 1.2$  ボルト、周波数を  $f = 3.8\text{MHz}$  とすると、消費される電力  $P$  は

$$P = CA^2f = 200 \times 10^{-12} \times 144 \times 3.8 \times 10^6$$

$$\approx 109\text{mW}$$

となり、各クロックラインで  $109\text{mW}$  消費されることになり、シフトレジスタの消費電力が大きくなるとともに、シフトレジスタを駆動するために低インピーダンスで大出力のクロック信号源が必要になるという問題点があった。

特に、このようなシフトレジスタで携帯型 TV カメラのモニタ用液晶ビューファインダを形成すると、低消費電力化の大きな障害となるという問題があった。

#### [問題点を解決するための手段]

第3図はかかる問題点を解消するために提供さ

力が H レベルになると、スイッチ  $S_{21}$  ,  $S_{22}$  が閉じ、他のスイッチは開いた状態になる。

さらに、次のタイミングではスイッチ  $S_{31}$  ,  $S_{32}$  が閉じ、他のスイッチは開くことになる。

つまり、本発明の場合は、伝送されるデータが有意のレベルになったとき、その段のユニットレジスタのみにクロックが選択的に供給されるようにしている。

#### [作用]

本発明のシフトレジスタは、上記したように有意の信号によって状態が反転されるユニットレジスタのみに、クロックを選択して与えることにより、クロックラインの容量性負荷を減少することができ、低消費電力化が図れることになる。

#### [実施例]

本発明の実施例を第1図に示す。

第1図において、 $SR_1$  は第1、および第2のクロックドインバータ  $INV_1$  ,  $INV_2$  と、第3のインバータ  $INV_3$  によって構成されている

れる本発明の概要図を示したもので、 $SR_1$  ,  $SR_2$  ,  $SR_3$  , …… はシフトレジスタを形成するために継続接続されている単位回路（以下ユニットレジスタ  $SR_1$  ,  $SR_2$  , …… という）を示し、各ユニットレジスタ  $SR_1$  ~  $SR_n$  はクロックラインからクロック信号 ( $VCLK$  ,  $\overline{VCLK}$ ) をスイッチ  $S_1$  , 及び  $S_2$  を介して受け取るように構成されている。

そして、スイッチ  $S_1$  ,  $S_2$  は各ユニットレジスタ  $SR_1$  ,  $SR_2$  , …… に入力されるデータが例えば H レベルになったときに閉じるようにしている。

従って、単一の入力信号データが入力されたときは、第3図 (a) に示すように最初のタイミングでユニットレジスタ  $SR_1$  のみに H レベルの信号が供給されることになるため、スイッチ回路  $S_{11}$  及び  $S_{12}$  が閉じ、他のスイッチ  $S_{21}$  ,  $S_{22}$  ,  $S_{31}$  ,  $S_{32}$  は開く。

次のタイミングでユニットレジスタ  $SR_2$  の入

ユニットレジスタを示し、 $SC_1$  は1段目のユニットレジスタ  $SR_1$  に供給される入力と、その出力の双方が H レベルの信号でないとき、すなわち入出力が有意の信号でない時にクロック  $VCLK$  ,  $\overline{VCLK}$  を遮断するクロックスイッチ回路である。

なお、他のユニットレジスタ  $SR_2$  ,  $SR_3$  , …… も同様に構成されているので、その説明を省略する。

クロックスイッチ回路  $SC_1$  の構成を説明すると、ユニットレジスタ  $SR_1$  の入力である信号  $V_{(STRT)}$  と、その出力  $OUT_1$  がノアゲート  $NOR_1$  に入力される。そして、ノアゲート  $NOR_1$  の出力と、その出力をインバータ  $INV_4$  で反転した反転出力とで、異なる導電型のトランジスタを並列に接続した1対のトランスファergeート  $SW_1$  ,  $SW_2$  の開閉を制御する。

以下、第2図の信号波形図に基づいて、本発明

のシフトレジスタの動作を説明する。

時点 $t_1$ では入力信号 $V_{(STR)}$ がLレベルで、出力 $OUT_1$ もLレベルであり、ノアゲート $NOR_1$ の出力がHレベルとなり、インバータ $INV_1$ の出力 $VOR_1$ はLレベルとなるので、トランスファークゲート $SW_1$ 、 $SW_2$ は閉じる。

従って、このようなときにはクロック $VCLK$ および $\overline{VCLK}$ はユニットレジスタ $SR_1$ に供給されない。

次に第2図のタイムチャートのように時点 $t_1$ で入力信号 $V_{(STR)}$ が立ち上がりHレベルになると、ノアゲート $NOR_1$ の入力の1つがHレベルになり、このノアゲート $NOR_1$ の出力はLレベルとなる。この出力と、この出力をインバータ $INV_1$ で反転したHレベル出力 $VOR_1$ とがトランスファークゲート $SW_1$ 、 $SW_2$ に加わるので、両ゲート $SW_1$ 、 $SW_2$ とも開く。

従って、このような状態でクロック $VCLK$ がHレベルに遷移すると、時点 $t_2$ で $CK-L_1$ 、

レジスタ $SR_1$ の入力、出力がLレベルとなるので、トランスファークゲート $SW_1$ 、 $SW_2$ がその直後に閉じ、クロック $VCLK$ 、 $\overline{VCLK}$ がユニットレジスタ $SR_1$ に供給されなくなる。

トランスファークゲート $SW_1$ 、 $SW_2$ が開いている時間 $T$ は、インバータ $INV_1$ の出力である $VOR_1$ に示すように、ユニットレジスタ $SR_1$ の出力 $OUT_1$ が立ち下がるまでの動作遅れ時間と、クロックスイッチ回路 $SC_1$ の動作遅れ時間が含まれる時間である。

従って、トランスファークゲート $SW_1$ 、 $SW_2$ を通過したクロック $VCLK$ 、 $\overline{VCLK}$ の波形は、第2図 $CK-L_1$ 、 $CK-R_1$ の如く、2つ目のクロックの前半の一部が通過した波形となる。

また、2段目のユニットレジスタ $SR_2$ の出力は、クロック $\overline{VCLK}$ が立ち上がった時点 $t_2$ で、出力 $OUT_1$ を読み込んで、その段の出力 $OUT_2$ をHレベルとする。

$CK-R_1$ に示す信号がユニットレジスタ $SR_1$ に供給され、ユニットレジスタ $SR_1$ にクロックが供給され、ユニットレジスタ $SR_1$ の出力 $OUT_1$ をHレベルにする。

さらに、時点 $t_2$ で示すように、クロックが遷移してLレベルになると、前述のように第3のインバータ $INV_2$ と第2のクロックドインバータ $INV_1$ とで出力信号 $OUT_1$ のHレベルがラッチされる。トランスファークゲート $SW_1$ 、 $SW_2$ は開いたままである。なお、時点 $t_2$ で出力 $OUT_1$ がHレベルとなったときに2段目のユニットレジスタ $SR_2$ に、クロックスイッチ $SC_2$ を介してクロックが供給され能動化される。

次のタイミング時点 $t_3$ では、クロック $VCLK$ がHレベルになる前に、入力信号 $V_{(STR)}$ はLレベルとなっているので、この時点 $t_3$ でクロック $VCLK$ がHレベルになると、ユニットレジスタ $SR_1$ はLレベルを読み込んで、その出力 $OUT_1$ をLレベルとする。

出力 $OUT_1$ がLレベルになると、ユニットレ

すなわち、ユニットレジスタ $OUT_1$ の出力がHレベルになると、ユニットレジスタ $SR_2$ の入力もHレベルとなる。そしてこの時点でユニットレジスタ $SR_2$ のクロック $VCLK$ 、 $\overline{VCLK}$ が供給されるように、クロックスイッチ回路 $SC_2$ のトランスファークゲート $SW_1$ 、 $SW_2$ がオンになる。

以下、ユニットレジスタ $SR_1$ の動作と同じ動作が順次後続のユニットレジスタで行われ、入力信号 $V_{(STR)}$ が順次シフトされる。

なお、ユニットレジスタ $SR_1$ に付加されている $FETQ_{n0}$ と $FETQ_{p0}$ は、ユニットレジスタ $SR_1$ にクロック $VCLK$ 、 $\overline{VCLK}$ が供給されないときに、第1、第2のクロックドインバータ $INV_1$ 、 $INV_2$ がフローティング状態となるのを防止するものであり、このブルダウン $FETQ_{n0}$ とブルアップ $FETQ_{p0}$ によってクロックが供給されていないときにも各ユニットレジスタ回路を安定な状態に保持する作用を持っている。

従って、このブルダウンFET<sub>10</sub>、ブルアップFET<sub>11</sub>のかわりに、第4図に示すようにブルアップ抵抗R<sub>1</sub>、ブルダウン抵抗R<sub>2</sub>を用いてもよい。

以上の実施例は、有意の信号が正論理のときに動作するように構成されているが、シフトレジスタが負論理のときは、各クロックスイッチ回路SCのノアゲートNORをナンドゲートに置き換えればよい。

第5図は本発明の他の実施例を示す回路である。

この図で、第1図と同一部分は同一記号で示されている。

しかしながら、この実施例の場合はクロックスイッチ回路SC<sub>1</sub>(SC<sub>2</sub>……)は論理回路が省略され、トランスファークゲートSW<sub>1</sub>、SW<sub>2</sub>はそれぞれ同じ導電型のTFTQ<sub>11</sub>、Q<sub>12</sub>とTFTQ<sub>21</sub>、Q<sub>22</sub>で構成されている。

この実施例は、入力データV<sub>(DATA)</sub>が立ち上がる点をラッチするのはクロックVCLKの立ち上

ゲートSW<sub>1</sub>、SW<sub>2</sub>とも同じ導電型のTFTで構成することになるため、SW<sub>1</sub>、SW<sub>2</sub>はTFTのスレッシュホールド電圧の影響をうけて第7図の拡大図に示すように、V<sub>1</sub>又はV<sub>2</sub>だけレベルが若干低下するが、特にシフト動作に影響を与えるほどのものではない。(なお、V<sub>1</sub>、V<sub>2</sub>はスイッチオン時にブルアップ、又はブルダウンTFTを介して流れる電流による電圧降下を示すが、この値はきわめて小さい)

第8図は、本発明のさらに他の実施例を示したもので、第5図のトランスファークゲートSW<sub>1</sub>、SW<sub>2</sub>に対して、それぞれ逆の導電型のトランスファークゲートSW<sub>3</sub>、SW<sub>4</sub>を並列に接続したものである。

この実施例によると、クロック信号VCLK及びVCLKは、それぞれ並列に接続された相補型のトランスファークゲート(SW<sub>1</sub>、SW<sub>2</sub>)(SW<sub>3</sub>、SW<sub>4</sub>)を介して供給されることになるため、正極又は負極の電位に対してスレッシュホールド

があり、入力データV<sub>(DATA)</sub>の立ち下がり点をラッチするのはクロックVCLKの立ち下がり点であることに着目してなされたものである。

すなわち第6図に示すように、入力信号V<sub>(DATA)</sub>の立ち上がりによってトランスファークゲートSW<sub>1</sub>、SW<sub>2</sub>のトランジスタQ<sub>11</sub>、Q<sub>12</sub>が波形Aに示すようにオンとなり、出力OUT<sub>1</sub>のデータが立ち下がった時にトランスファークゲートSW<sub>3</sub>、SW<sub>4</sub>のトランジスタQ<sub>21</sub>、Q<sub>22</sub>が波形Bに示すようにオフとなるように制御している。

したがって期間Tの間はトランスファークゲートSW<sub>1</sub>、SW<sub>2</sub>ともオンになり、この期間TにクロックCK-L、CK-Rが通過し第1図の場合と同様な動作が行われる。

論理回路は通常のインバータに比較して遅延時間が大きい、本実施例の場合はこの論理回路を省略することによって動作速度の向上をはかったものである。

この第5図の実施例の場合は、トランスファーク

電圧の影響を受けることがなくなる。

また、並列に接続することによってスイッチオン抵抗をさらに減少する効果がある。

#### [発明の効果]

以上説明したように、本発明のシフトレジスタは、シフトレジスタに入力されたデータが各ユニットレジスタの状態を遷移するような有意のデータであるときのみ、その段のユニットレジスタにのみクロックを供給するようにしているため、クロックラインに供給される電力を大幅に低減することができるという効果がある。

特に、シフトレジスタによって多相パルスを生ずる多相パルス発生器、又は遅延パルス発生器を構成する場合は、シフト段数が増加するほど、電力の節減効果が大きくなり、クロック信号のドライバが削減できると同時に、クロックをTTLレベルで供給することができるという利点もある。

#### 4. 図面の簡単な説明

型FET、 $Q_{n1} \sim Q_{n4}$ はN型FET、 $SR_1 \sim SR_5$ はユニットレジスタを示す。

西曆一千九百零九年

第 1 図は本発明の一実施例を示す回路図、

第2図は第1図のタイミングチャート、

第 3 図は本発明の概念図、

第4図は他のブルアップ及びブルダウン手段の回路図、

第 5 図は本発明の他の実施例を示す回路図、

第 6 図は第 5 図のタイミングチャート、

第 7 図は第 6 図の信号の部分的な拡大図、

第 8 図は本発明のさらに他の実施例を示す回路図、

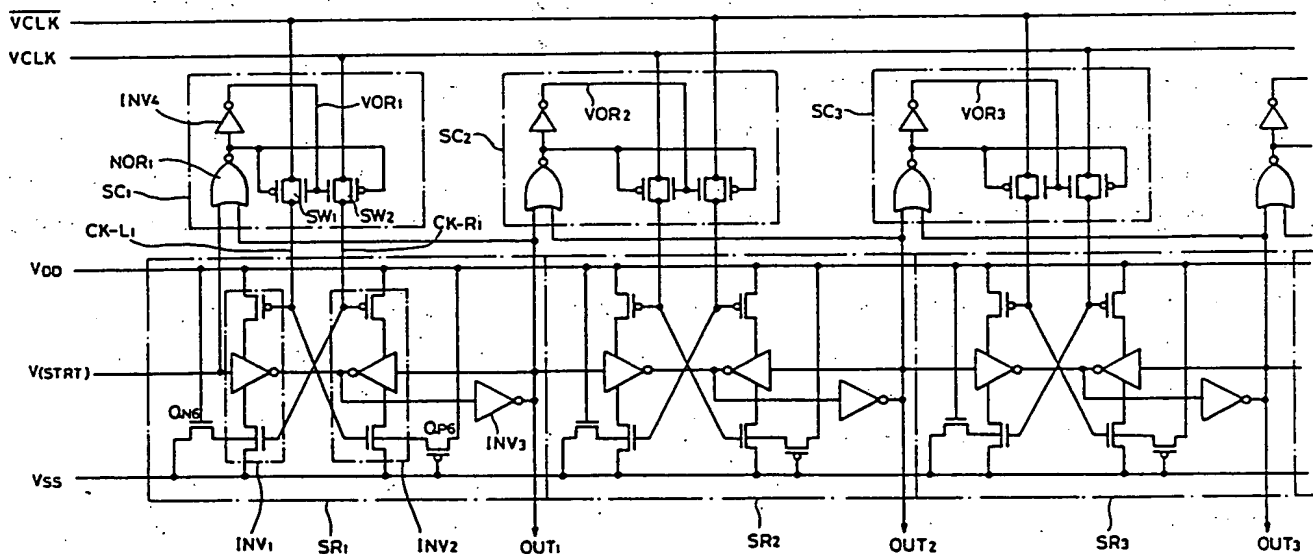
第 9 図は従来のシフトレジスタを示す回路図、

第 10 図は従来例のタイミングチャート、

第 11 図は従来例のクロックラインに付く負荷容量の説明図である。

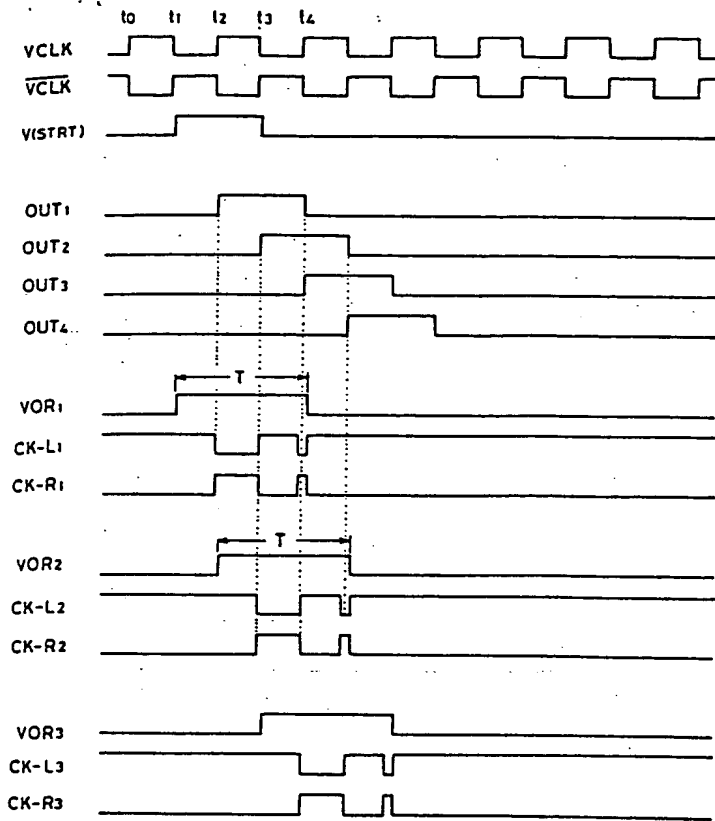
图中

INV<sub>1</sub>、～INV<sub>n</sub>はクロックインバータ、INV<sub>0</sub>はインバータ、SC<sub>1</sub>～SC<sub>n</sub>はクロックスイッチ回路、SW<sub>1</sub>、SW<sub>2</sub>はトランスファゲートからなるスイッチング手段、Q<sub>P1</sub>～Q<sub>Pn</sub>はP

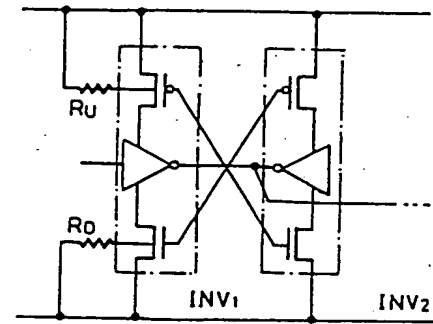


第 一 圖

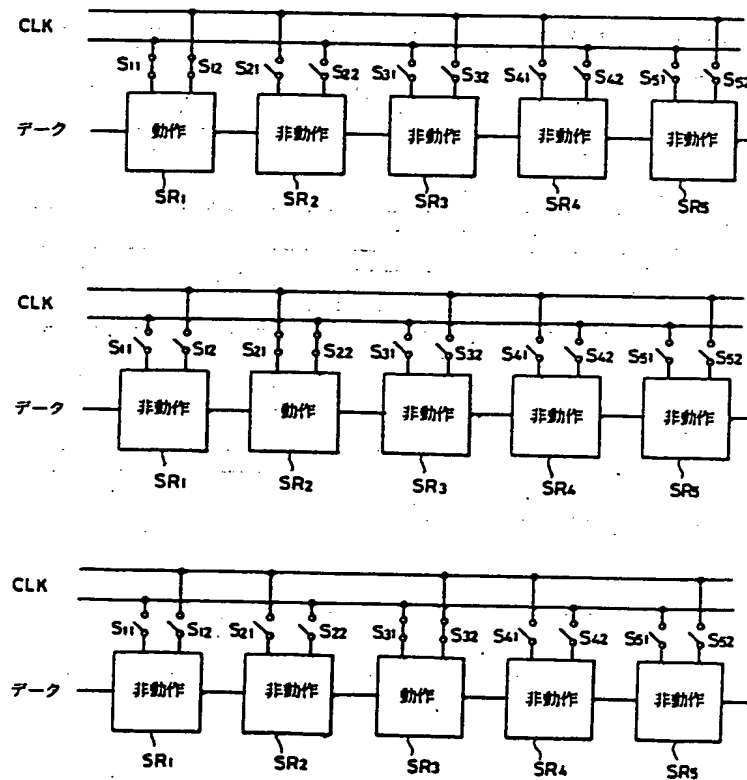




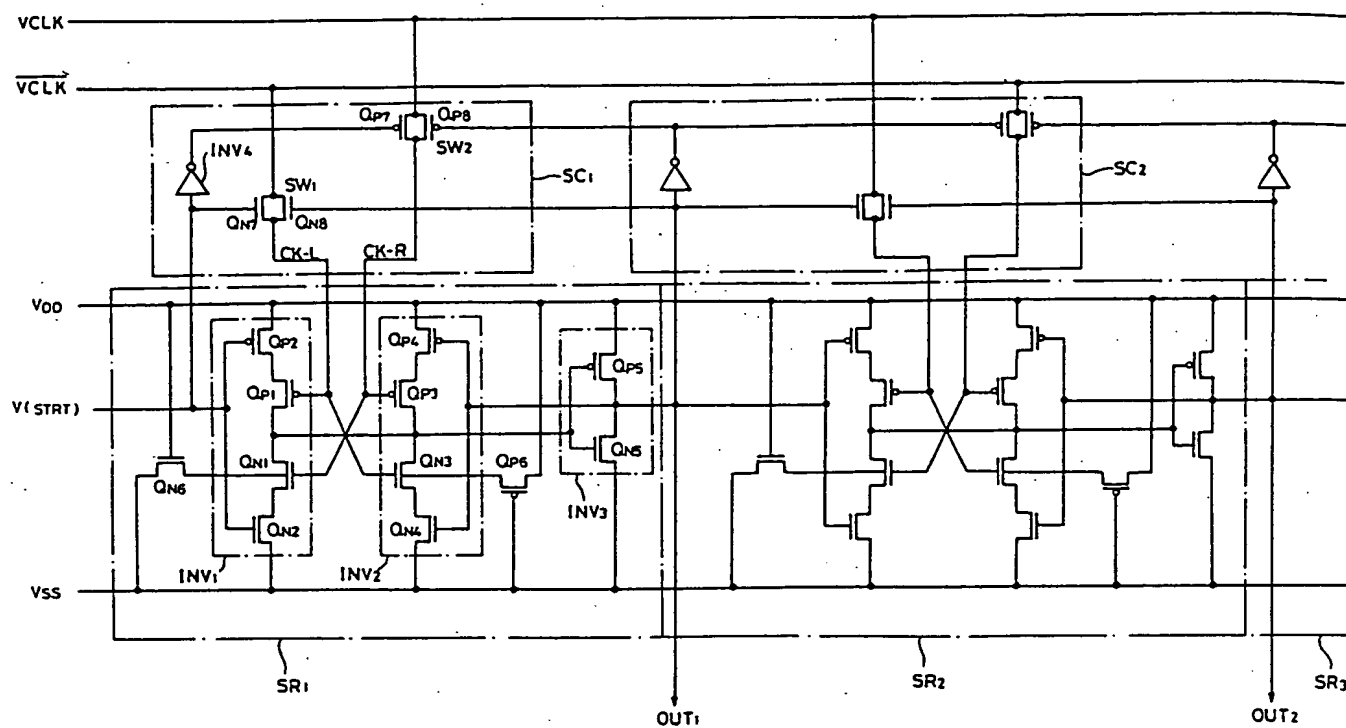
第 2 図



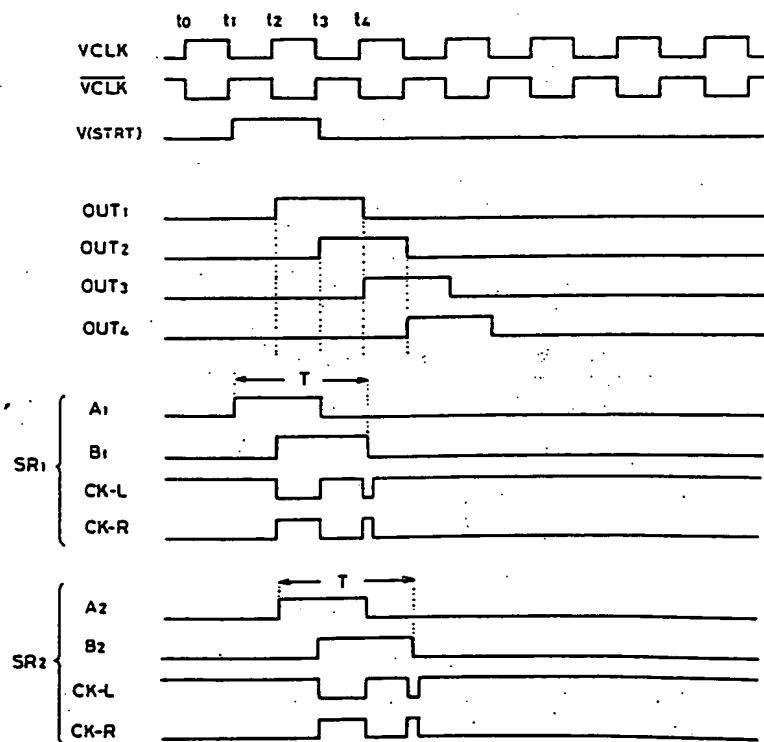
第 4 図



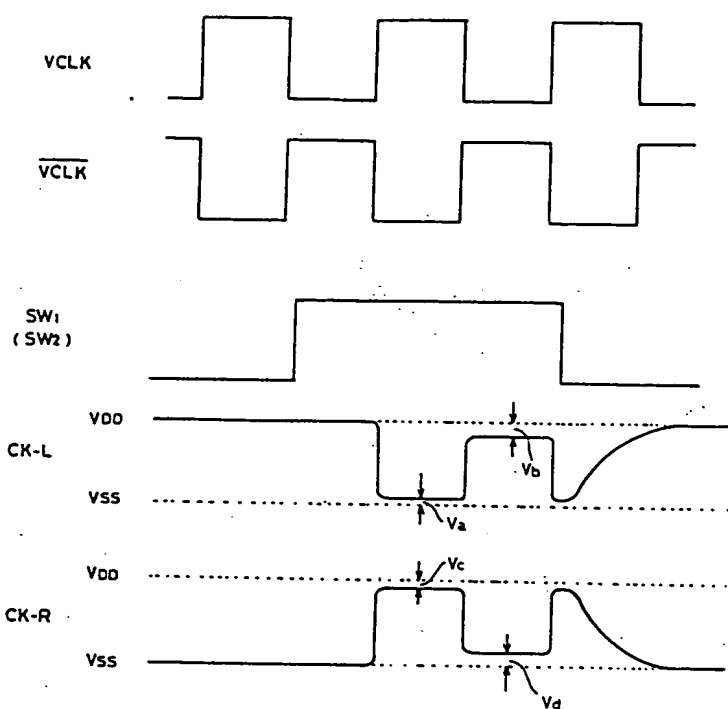
第 3 図



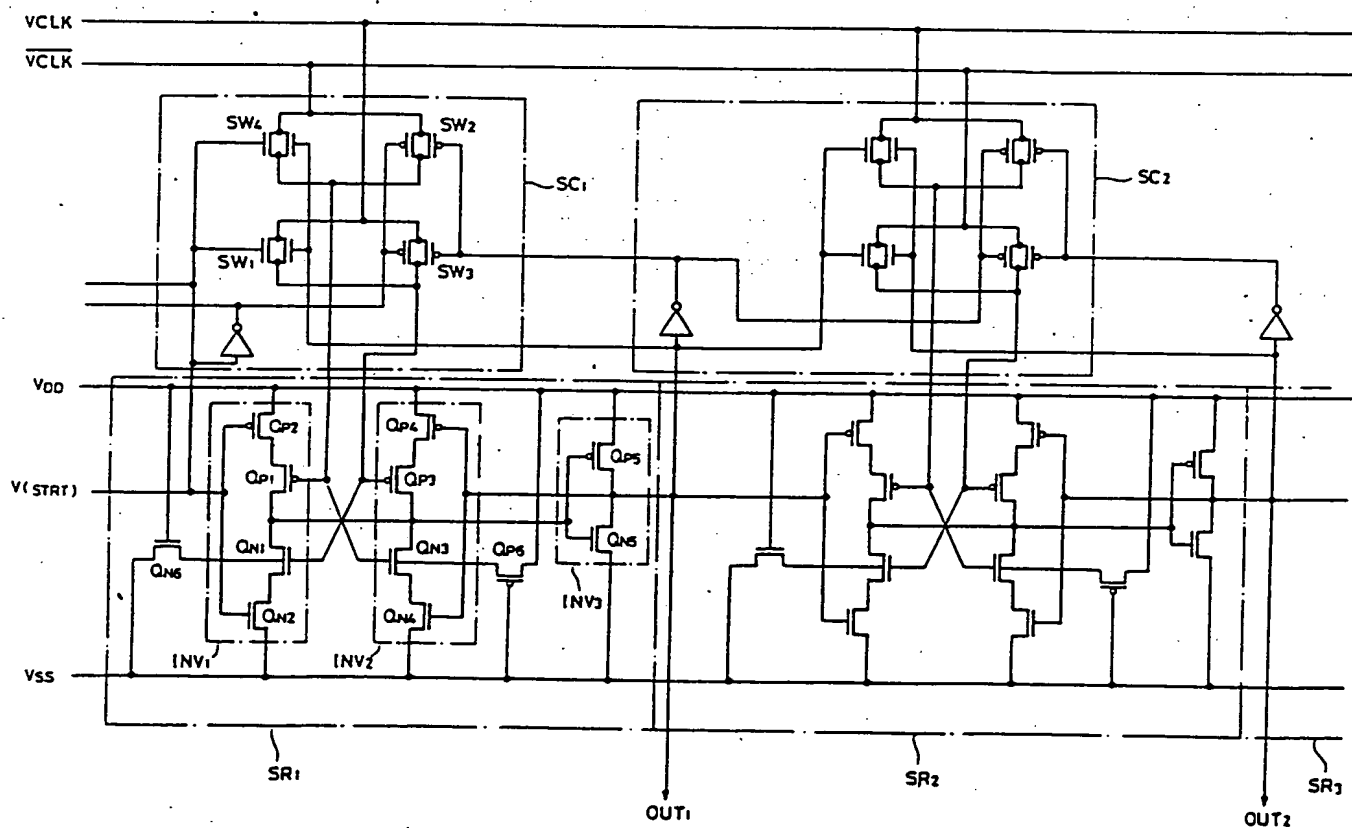
第 5 図



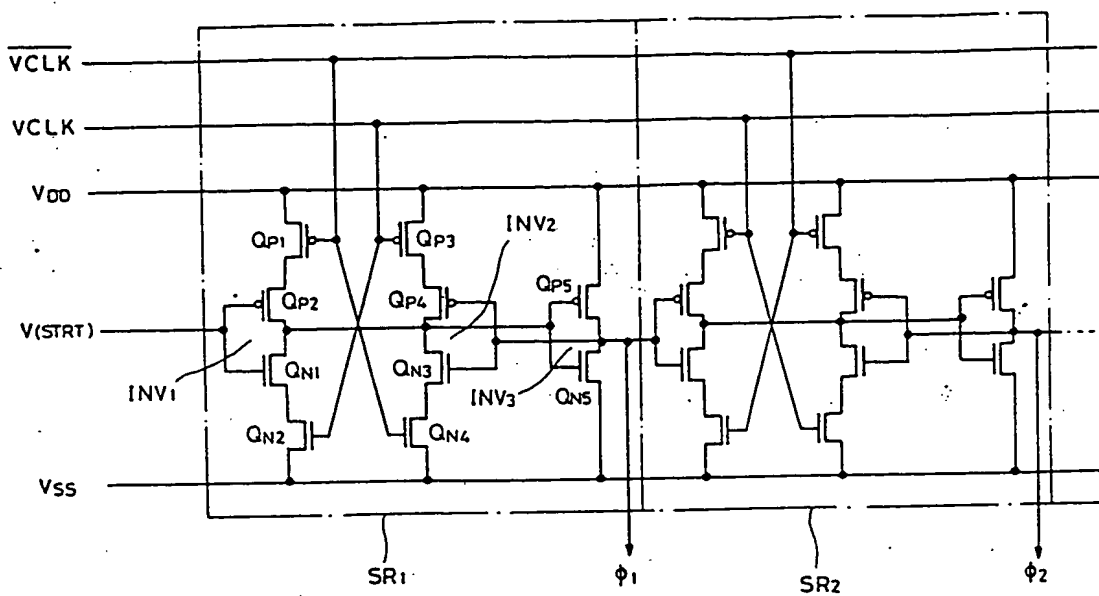
第 6 圖



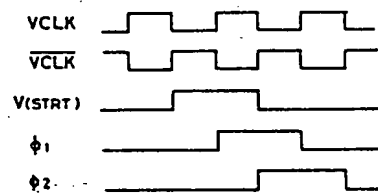
第 7 図



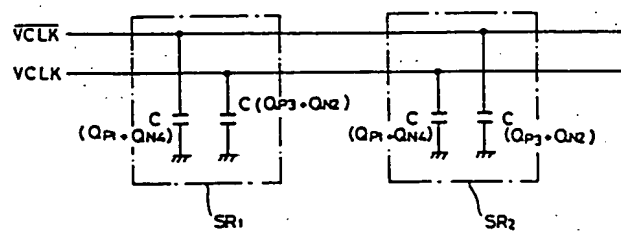
第 8 図



第 9 図



第 10 図



第 11 圖

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**